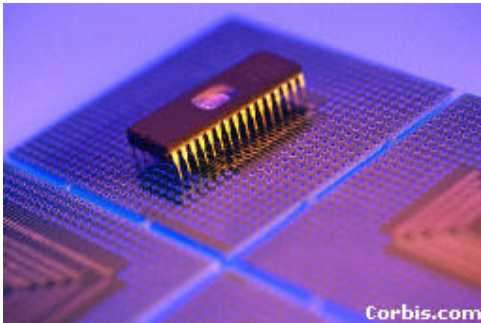


# PADS

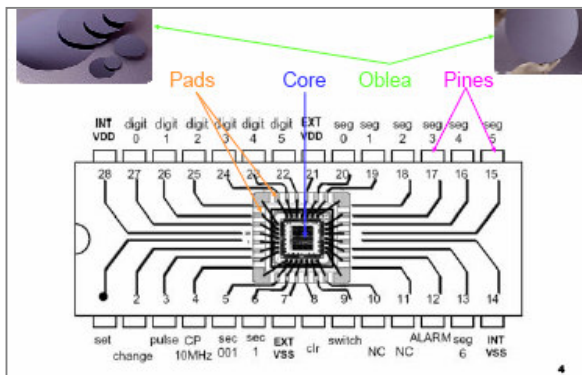


Això és un xip, però aquest xip ja està apunt per utilitzar-se, és a dir, ja porta el seu encapsulat, els seus pins o potes. Fins i tot porta una finestra que ens permet veure el seu interior.

Aquí és on ens centrarem, si aprofundim dintre del xip trobarem el seu nucli, que estar compost de silici basicament.

D'aquest silici en surten uns petits trossos de metal per tal de comunicar-se cap a l'exterior, però aquest trossos de metall tenen un tamany de  $4\mu$ . Resulta que les maquines de soldar no tenen aquesta precisió. Per tant necessiteriem unes superfícies de metall de com a mínim  $100\mu$ . Aquest és el principi dels pads.

## On estan situats?



Aquesta és l'estructura bàsica d'un xip. Hi podem distingir els seus pins, el nucli i els pads. Així doncs, la funció dels pads és permetre la comunicació amb l'exterior, i tenir una alta capacitat de conductivitat.

Els pads entre ells han d'estar separat de 50 a  $200\mu$  ja que sinò es podria produir un mal funcionament del circuit.

## Problemes

Un problema important es refereix a la interconnexió de les sortides o entrades del xip. En general, els circuits digitals interns al xip es dissenyen per tal de ser capaços d'atacar petites cargues capacitatives presents en el seu interior (per sota un pF). No obstant, la cargues capacitatives en el seu exterior poden ser molt superior (fins a 1 nF). Es per això que els circuits es mostren ràpids en trajectes en el interior del xip, mentre que en el seu exterior són molt més lents.

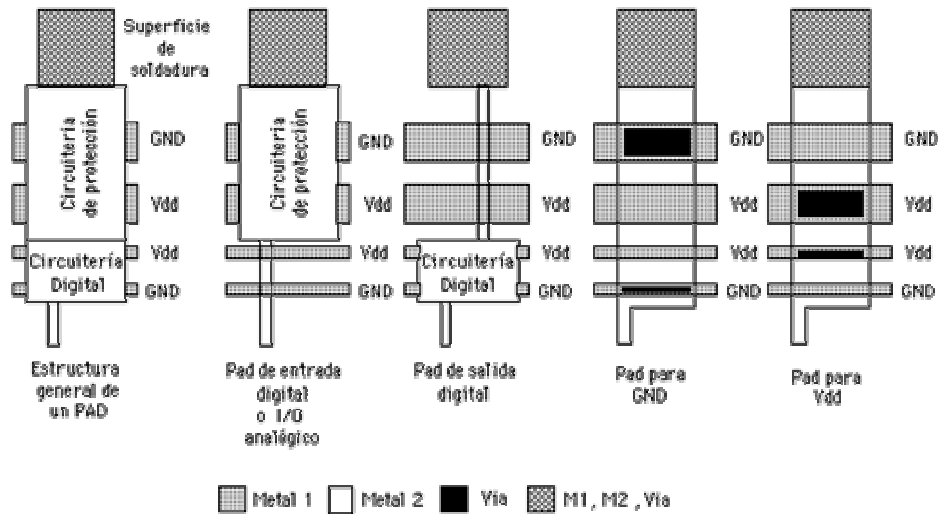
Un altre problema és que les entrades al chip estan connectades directament a les portes dels transistors MOS. Un transistor CMOS te una estructura molt sensible. El seu finissim espesor del òxid de la porta, fà que aquest sigui molt sensible a les pujades de tensió i sobretot a les carregues electrostàtiques. Tant és així que els operaris en la

manipulació dels xips han de portar barcelets per tal de descarregar les seves carregues electrostàtiques.

Una solució per la que s'ha optat és implementar un circuit de protecció.

### Estructura i tipus de pads

Per extensió denominarem PAD a la superfície de connexió de la soldadura juntament amb la resta dels components addicionals. Al igual que les altres cel·lules, els pads obeeiran a una estructura cel·lular, de manera que poden connectar-se entre si. Així doncs tindrem 4 estructures bàsiques:

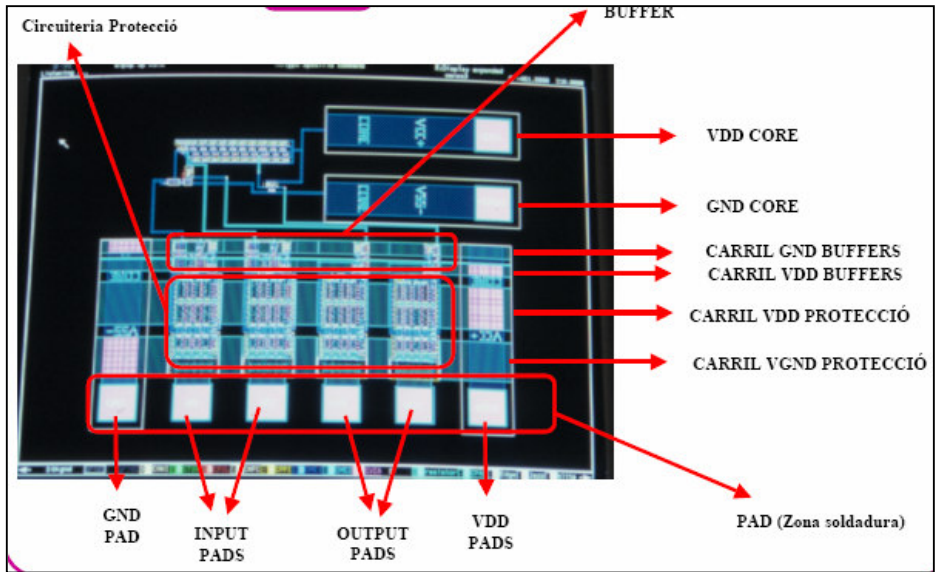


Tenim pads d'entrada, de sortida, de alimentació positiva, de alimentació massa. Aquest són les representacions bàsiques. Però avui en dia els pads poden portar tot tipus de circuiteria. Per exemple, un pad d'entrada també pot portar un buffer de circuiteria digital per tal de adequar la senyal.

Si ens hi fem els pads d'alimentació són per alimentar els altres pads. Estarien connectats mitjançant uns carrils a els pads d'entrada i sortida i si aquest necessitessin un voltatge, accedirien a la capa inferior fins a trobar el carril de massa o d'alimentació positiva.

Per tant, necessitem pads per alimentar altres pads i pads per alimentar el nucli del xip, és a dir, el nucli de silici (CORE).

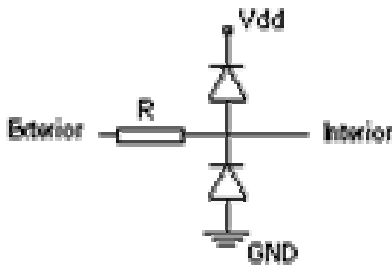
Observeu el següent disseny per ordinador:



### Input Pads

Com ja hem comentat anteriorment, els pads d'entrada estan connectats directament a la porta dels transistors. Per tal de que el circuit no faci malbé s'ha implementat el que es diu ESD (Electrostatic Sensitive Device). No és res més que un circuit de protecció contra corrents elevades o electricitat electrostática.

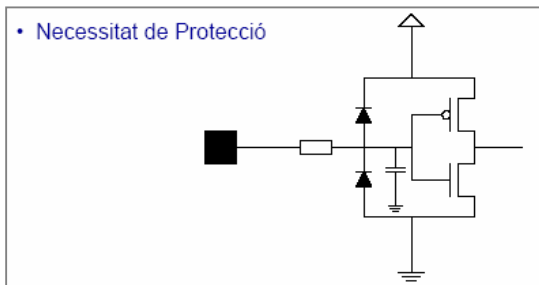
L'esquema del ESD és el següent:



Els diodes eviten que una entrada externa pugui provocar en el interior del circuit sobretensions que surtin fora del marge de la alimentació. Convencionalment els diodes s'obtenen mitjançant difusions N+ de drenador/sortidor sobre un pou o substrate. La resistència R posada a la entrada protegeixen a els diodes i a l'interior de possibles sobrecorrents. El seu valor resistiu posseeix un

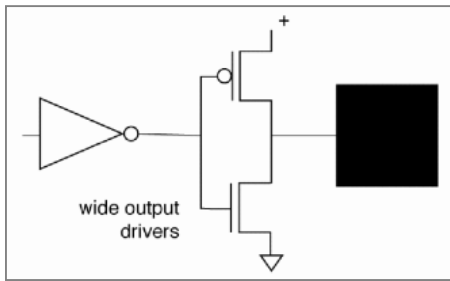
compromís entre el retard associat i la protecció que brinda.

Així doncs, un input pad amb el circuit de protecció ESD inclòs quedara de la següent manera (a nivell esquemàtic):



Nota: La entrada per aquest input pad és invertida, li faltaria un inversor de circuiteria digital per tal que fos com la origen.

## Output Pad

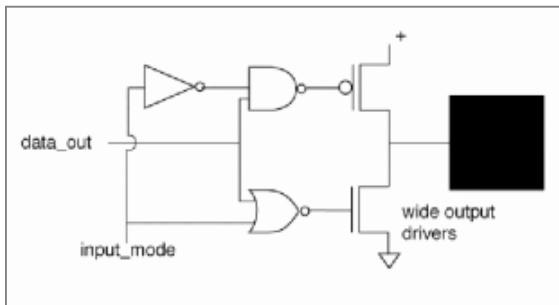


No porta ESD. Com que la senyal que surt pel pad de sortida prové de dintre l'interior del xip, es pràcticament impossible que porti carregues electrostàtiques. Tot i que avui en dia els pads són molt complexos i porten grans circuits de protecció encara que el pad sigui de sortida.

## Three state Pad

El pad three state, no es res més que un pad que té tres estats, dos d'ells són els que ja tenim en un pad normal (estat logic 1 o estat logic 0). El tercer estat és el que s'anomena estat d'alta impedància. És a dir no hi ha ni un 1 ni un 0. Això és molt útil en segons quins casos.

Imagineu-vos que el three state pad que tenim a continuació està replicat 4 vegades. Llavors per utilitzar aquests quatre pads podríem utilitzar només un bonding pad o zona de soldadura. Posaríem els 4 estats en alta impedància i quan un el volgués fer servir només hauria de enviar la dada però comprovant que els altres pads estiguessin en `input_mode = 1`. Sino hi hauria colisió.



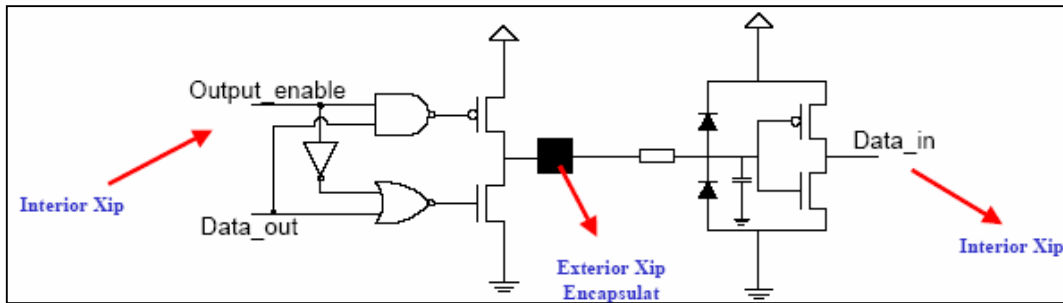
Si `INPUT_MODE= 0` →  
`OUT=DATA_OUT`

Si `INPUT_MODE= 1` →  
`OUT= Z-IMPEDANCE`

## Pads Bidireccionals

Els pads bidireccionals no és res més que un pad que pot funcionar tant de entrada com de sortida. Si observeu l'esquema següent veureu que està format de un Input Pad i de un Three state Pad.

Quan `Output_Enable` està a 0 llavors el three state estar en alta impedància per tant el pad funcionarà com a pad d'entrada. En canvi si volem que funcioni com a pad de sortida, només hem de posar el `Output_Enable` a 1. Després la sortida serà igual a `Data_Out`.



Enable\_output = 0 → X

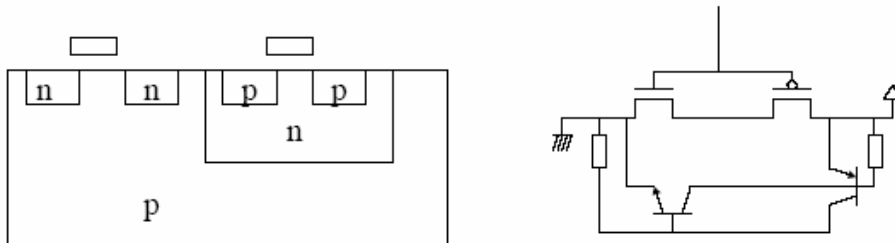
Enable\_output = 1 → DADA\_OUT

Nota: Quan el pad funciona com a sortida, el valor del voltatge (o Data\_Out) que surt també entra per la part que seria el pad d'entrada. Per tant, s'ha de validar que només es llegirà un valor quan el Enable\_Output = 0.

### Latch-up

El Latch-up és un dels problemes més greus que ens podem trobar en un circuit. És degut a tensions i corrents altes i per això es present en els Pads, ja que són el mecanisme d'entrada i sortida de voltatges.

La següent figura és un inversor CMOS:



Podeu observar que en la figura de la dreta que representa l'inversor CMOS a nivell esquemàtic si formen uns transistors parasits a causa de les pous i les difusions.

- Font de corrent : pic de corrent important que provoca que el NPN es posi en conducció
- Vb PNP pot baixar de VDD-VEB (pnp), i pnp es posa a conduir
- Ara Vbe del NPN pot posar-se en ON i el NPN també en conducció.
- Provoca un efecte de realimentació negativa que té les següents conseqüències:
  - Escalfament, Electromigració o camp electromagnètic
  - Destrucció del dispositiu (circuit)

S'hi ha fet molts estudis i hi ha diverses solucions per aquest problema.

## Diseny per evitar latchup

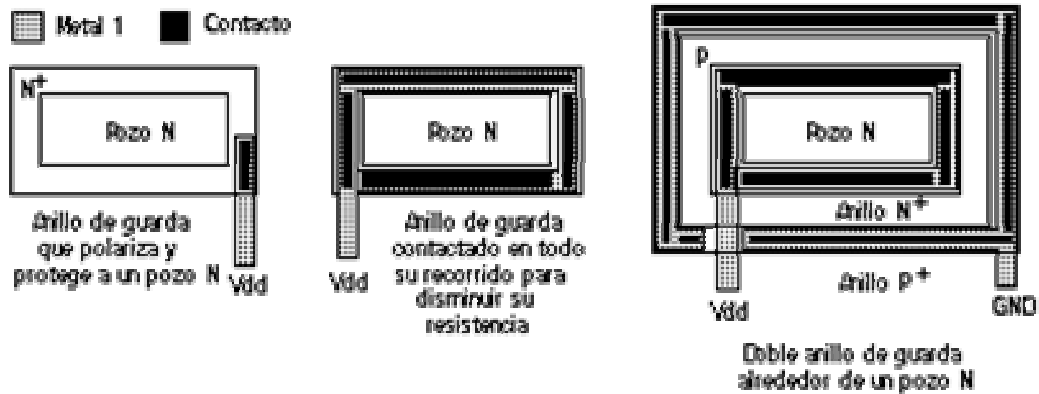
- Mesures tecnològiques
  - Aconseguir bipolars paràsits amb betes petites
  - Valors de dopat adequats al substracte, pou, i en illes p i n
- Mesures de diseny
  - Adequada polarització del substracte i pou
- disminució efectiva de les resistències paràsites
  - Anells de guarda
    - tipus p+ , a VDD al voltant de NMOS
    - tipus n+., a GND al voltant de PMOS

D'aquestes mesures, una de les més utilitzades i senzilles són els anells de guarda :

### Anells de Guardada

Un anell de guarda no és res més que una zona molt conductora que envolta tot un perímetre de la zona que volem protegir, i que es troba connectat mitjançant un camí de molt baixa impedància a una de les alimentacions. Això provoca un camp electromagnètic que al voltant de la zona que protegim i que evita que hi penetrin altres camps electromagnètics que puguin espatllar el circuit.

Tenim diferents tipus de anells de guarda:



En aquest esquema els anells de guarda protegeixen un pou. Però podrien protegir qualsevol altre cosa com per exemple tot el circuit de silici.

L'anell de la esquerra és el més senzill i menys eficient, mentr que anem avançant a la dreta, els anells són més complexes i eficients.

## Busos.

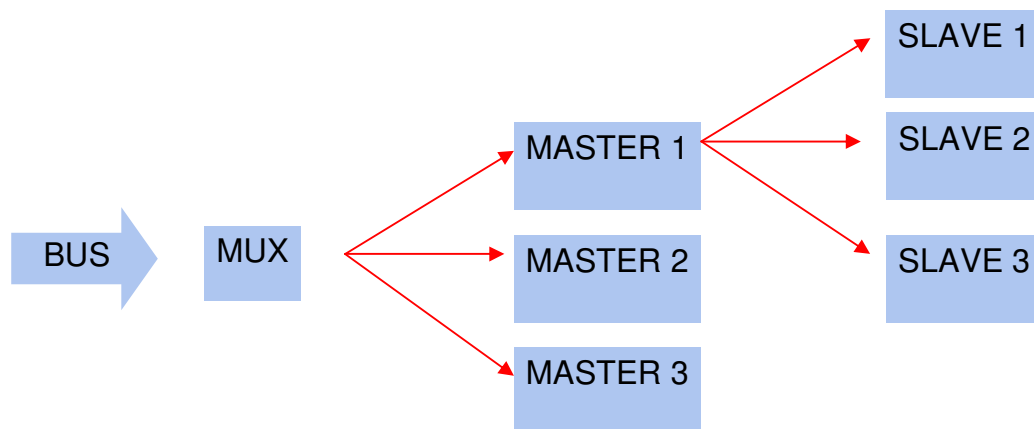
### *Introducció.*

En els últims temps amb l'arribada dels dispositius portàtils s'ha arribat a unes necessitats de miniaturització i de baix consum espectaculars. Un dels casos més gràfic és el dels telèfons mòbils. Amb molt poc temps han passat de ser dispositius simples, de gran tamany i amb baixa autonomia; a ser dispositius multimèdia capaços de contenir reproductors MP3, càmeres, màquines virtuals de Java, i moltes altres funcionalitats. Tot això reduint moltíssim l'espai i millorant substancialment l'autonomia.

Per a aconseguir aquesta fita, els dissenyadors s'han adonat que l'ideal per tal d'estalviar tant energia com espai, és concentrar tots els mòduls en un sol xip. Aquesta filosofia de treball amb el temps s'ha acabat anomenant System on Chip (SoC) i sol anar acompanyada de Integrated Peripherals (IP). La idea d'aquestes dues metodologies de disseny és senzilla: integrar tots els dispositius, mòduls, perifèrics,... en un mateix bulk de silici.

Per molt senzilla que soni la idea està clar que comporta molts reptes per als dissenyadors. Un d'ells és el disseny dels busos. Òbviament tots els mòduls que formen el sistema han d'estar connectats entre ells, però com els connectem? S'ha de trobar una estratègia que no lastri el sistema en termes de consum o de velocitat de procés (colls d'ampolla).

### *Problemàtica dels busos.*



Aquesta seria la típica arquitectura Master-Slave. Ens servirà per il·lustrar dos dels grans problemes dels busos:

- *Manca d'ample de banda:* posem per cas que tenim un bus de 32 bits mentre que el Master 3 és un dispositiu de 128 bits. Quan algun

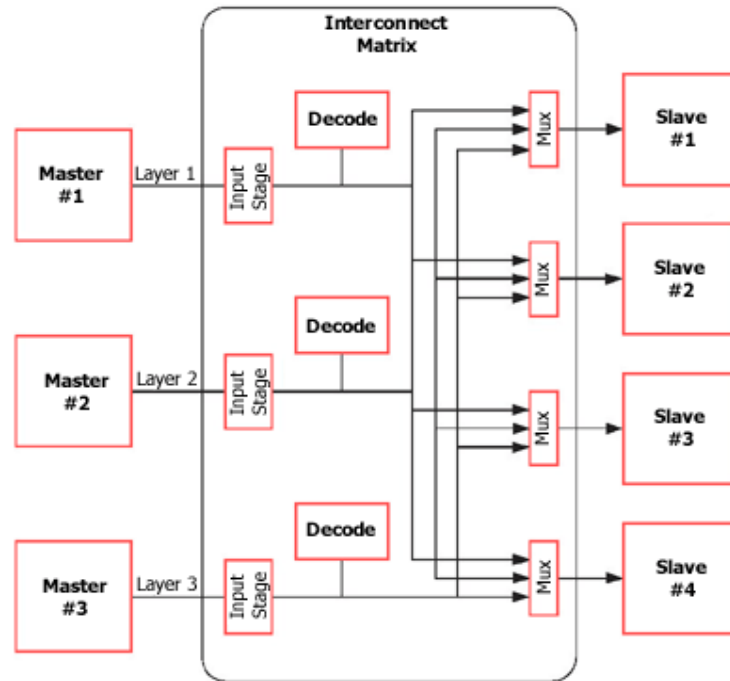
mòdul del sistema hagi de carregar dades sobre el dispositiu necessitarà en exclusivitat el bus durant 4 cicles de rellotge. Òbviament això no és desitjable.

- *Excés de latència:* podem veure-ho com una conseqüència del cas anterior. El temps de latència és el temps que ha d'esperar un dispositiu per poder accedir al bus.

### ***Estratègies per a augmentar el rendiment.***

- *Augmentar l'ample de banda del bus:* els beneficis d'augmentar l'ample de banda del bus són trivials, doncs si augmentem fins al ample del dispositiu més gran tindrem que podem fer un accés a cada dispositiu en un sol cicle de rellotge. Com sempre, però, no tot són avantatges. Si augmentem les línies del bus tindrem un augment de dissipació de corrent i, per tant, un augment de consum. A més, per culpa dels perifèrics de menys bits tindrem un bus amb un percentatge d'utilització que podria arribar a ser molt baix.
- *Augmentar la velocitat del bus:* augmentar la velocitat del bus representa fer més accessos als dispositius per unitat de temps. Però al augmentar la freqüència de rellotge del bus estem augmentant el consum. A part, no podem estar segurs que tots els dispositius rebran les dades correctament per problemes inherents al augment de velocitat: *glitches*, violacions de temps de rise/fall, problemes d'estabilitat de dades a les entrades, ...
- *Afegir bussos paral·lels:* amb aquesta arquitectura acabem dissenyant un sistema radial en que tots els perifèrics (o molts d'ells) estan connectats directament amb el nucli. De manera que tenim un nombre determinat de bussos que ens enllaça directament amb cada perifèric. L'augment de consum és molt gran i per tant un gran handicap per aquesta estratègia; així com la sincronització entre les diferents velocitats que tindran el nucli i els perifèrics.

## ARM's AMBA AHB.



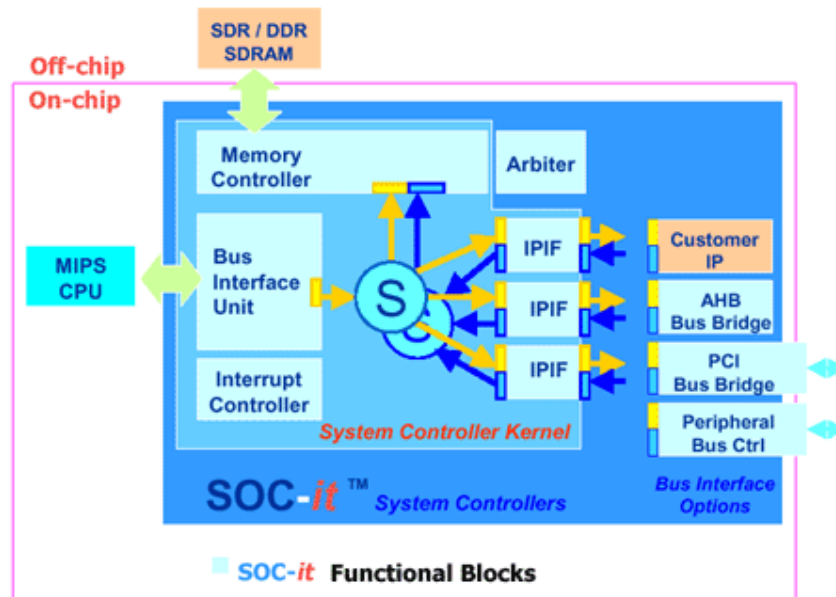
La primera solució que presentem és el Advanced High-Performance Bus de l'empresa ARM. En aquest cas s'ha mantingut l'arquitectura master-slave que aquesta mateixa va convertir en pràcticament un standard fa uns anys. La filosofia d'aquesta arquitectura és que el nucli només vegi els dispositius anomenats master. A partir d'aquí es passa al sector governat per l'AHB.

En primer terme veiem uns input stages que permetran establir el senyal d'entrada, eliminar problemes de fan out i solucionar els problemes d'acoblament de velocitats. A partir d'aquí un decodificador decideix a quin Slave volem accedir i un multiplexor permet tenir una via d'accés a cada slave des de cada master.

Aquest sistema té un problema de col·lisions: quan dos masters volen accedir al mateix slave. Per tal de solucionar-ho s'ha afegit un arbitrador de bus que per defecte funciona amb un algorisme Round-Rovin però que és plenament configurable.

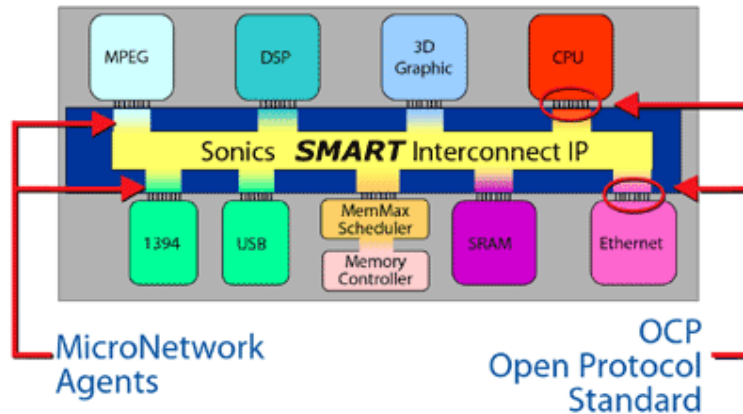
Segons el fabricant aquesta arquitectura és virtualment il·limitada pel que fa a extensió (podem posar tants masters i slaves com vulguem) però veiem que quan el nombre d' slaves augmenta el nombre de línies augmenta de forma geomètrica. O sigui que el consum es dispara.

## MIPS SoC-it-system-controller.



Aquesta és l'arquitectura que fa servir l'empresa MIPS per a les seves CPU's. A primera vista podem veure que han duplicat els bussos. Això ho han fet per tal de poder treballar amb els dos flancs de la senyal de rellotge. S'ha de destacar que a diferència de les altres companyies que intenten forçar a que la seva arquitectura sigui un standard, la gent de MIPS ha decidit fer just el contrari: *ser amic de tothom*. Veiem que just després dels bussos duplicats hi ha unes interfícies IPIF, que són uns buffers ultra ràpids, tenim un ampli ventall de possibilitats d'afegir dispositius. Veiem que hi ha customers IP (perifèrics integrats creats per a una tasca concreta), hi ha un pont a un AHB bus (que és una connexió a un bus de la competència directa), i connexions externes cap a bussos PCI i cap a senyals externs del bus.

## Sonic's SiliconBackplane MicroNetwork



Algun il·luminat de l'empresa Sonic va veure que les línies de bus utilitzades en els System on Chip tenen certes semblances amb les xarxes de computadors. La seva arquitectura consisteix en un bus central que té una ramificació per cada dispositiu. L'ample de banda del bus està determinat per la CPU.

La novetat que aporta aquesta gent és el que ells anomenen MicroNetwork Agents. El que fan és afegir 4 línies al bus que és per on operen aquests Agents. Canvien el concepte de controlador de bus per un bus paral·lel que està permanent en contacte amb tots els dispositius, amb el nucli i amb el propi bus. D'aquesta manera els agents coneixen l'estat de la màquina en temps real.

Tot i això el fabricant no explica massa res més sobre aquests agents. Sobretot no explica com afecten aquests a temes tant complexes com la segmentació que segur es deu veure condicionada (i molt) per aquesta arquitectura.

## **Conclusions.**

La primera conclusió, compartida per molts companys, és que els fabricants tenen molt amagat què és el que realment fan. Els agrada molt deixar veure a la gent (i a la competència) diagrames de blocs que no diuen massa res, però no aprofundeixen gens en les explicacions. El que sí que expliquen amb tota claredat: hem trobat documentacions dels IDE's de diferents fabricants que superen de llarg les 200 pàgines. Serà perquè és amb el que guanyen calers???

Pel que fa als bussos pel que hem vist no hi ha una fórmula màgica per fer que el seu rendiment sigui òptim. Per tant en cada cas serà molt important fer un complet estudi de l'impacte que introduirà en el sistema cada modificació. L'experiència en aquests casos sol ser clau.

Enllaços relacionats:

<http://www.techonline.com/> (bàsicament tota la informació ha sortit d'aquí)

<http://www.arm.com/products/solutions/AMBAHomePage.html>

[http://www-306.ibm.com/chips/techlib/techlib.nsf/products/SoC\\_and\\_platforms](http://www-306.ibm.com/chips/techlib/techlib.nsf/products/SoC_and_platforms)

[http://www.mips.com/content/Documentation/MIPSDocumentation/SystemCont  
rollerIP/doclibrary](http://www.mips.com/content/Documentation/MIPSDocumentation/SystemControllerIP/doclibrary)

# Baix consum

## Introducció

Actualment pels dissenyadors, el consum és tant important com l'espai i la velocitat. Es comença a tenir amb compte amb tots els dispositius portàtils que funcionen amb bateria. Aquests dispositius, requereixen augmentar el temps de servei i també que es redueixi el pes i el tamany. Sense la consideració del disseny a baix consum, tants de transistors podrien consumir molts de wats. És un dels desafiaments més importants, que té actualment un dissenyador. També es tracta de reduir els costos, com la font d'alimentació, l'encapsulat, la refrigeració i de consum d'electricitat. Una altre característiques és que una disminució del consum, comporta un rendiment més alt i nivells d'utilització més alts.

## Potència

### **Consum dinàmic**

La potencia dels circuits CMOS, correspon principalment al consum dinàmic. És a dir, l'energia necessària a cada cicle per carregar i descarregar la capacitat de cada node del circuit. Aquest component del consum, es modela amb:

$$P = \sum_{all\ nodes} C_n f_n V_{DD}^2 \quad (eq1)$$

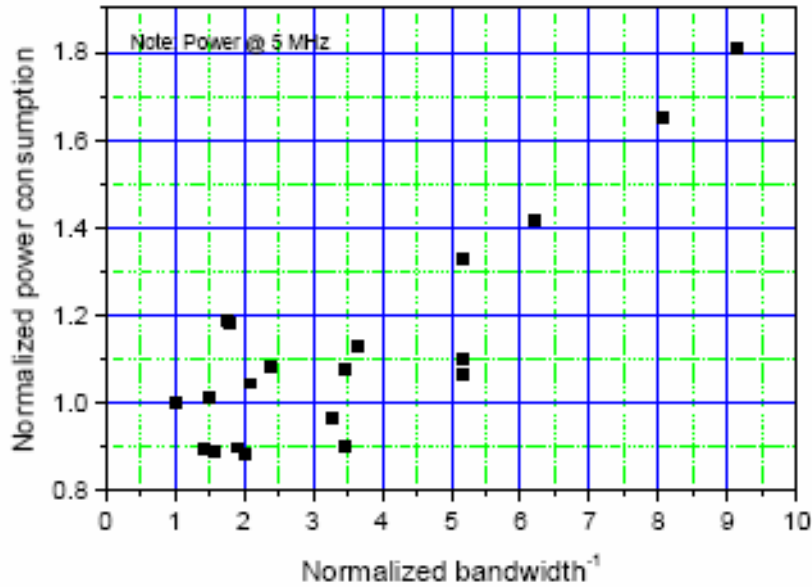
On  $f_n$  és la freqüència efectiva de cada node,  $C_n$  la seva capacitat i  $V_{DD}$  la tensió d'alimentació. A la pràctica els glitches són la principal contribució a l'expressió anterior. Depenent de la profunditat de la lògica del circuit, els glitches generats en les primeres etapes del circuit, produeixen efectes en cadena a l'activitat, que és la principal component de consum del circuit.

Aquest fenomen condueix que el consum dinàmic varii a l'ordre dels operants, ja que aquest modifica la quantitat d'activitat il·legítima.

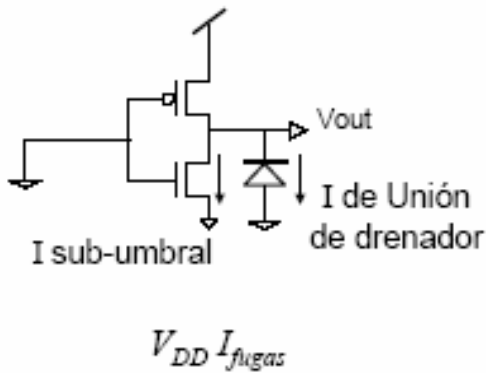
En un sistema síncron correctament dissenyat, l'activitat il·legítima no afecta als resultats finals de cada cicle de l'operació, però contribueixen significativament a l'augment de la commutació dels nodes del circuit.

També s'ha de tenir amb compte, que depenent de l'operació, l'ampla de banda, la freqüència de treball i les fugues, contribueix a que el consum varii.

Al gràfic de sota, es pot veure que a més ampla de banda, el consum també és més gran



### Corrents de fuga



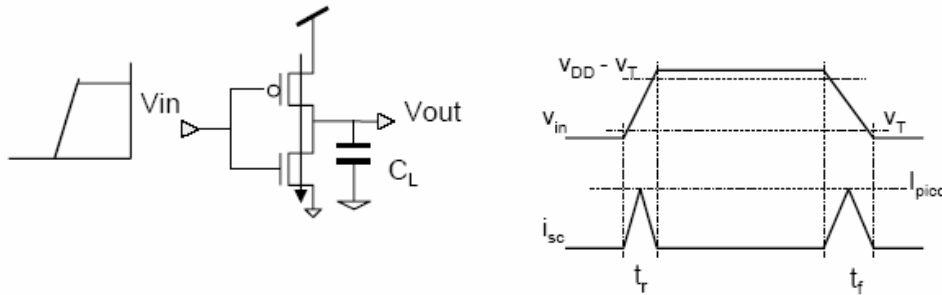
Per calcular la potència, també s'ha de tenir amb compte les corrents de fugues

Com es pot veure al circuit de l'esquerra, les corrents de fugues són les que passen per al transistor de sota i es perden. S'han de dissenyar els transistors i el circuit, de la manera que aquesta intensitat sigui la més petita possible, ja que és un corrent que es perd.

### Corrents de curtcircuit

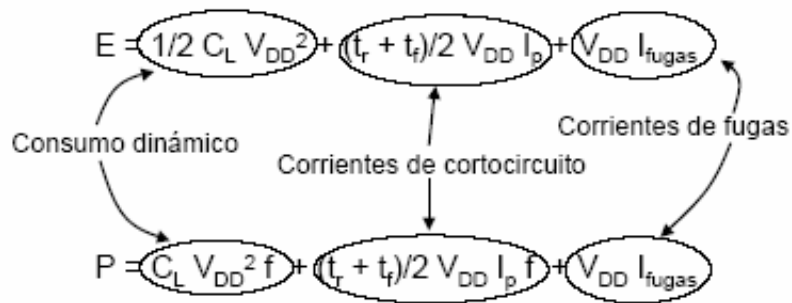
Com es pot observar al gràfic i circuit de sota, al corrent de curtcircuit s'urgeix quan els transistors canvien d'estat, és a dir passen de conduir a no conduir o viceversa.

Depenent de la duració i el corresponent pendent de la senyal d'entrada, el corrent de curtcircuit és més gran o petit. També depèn de les característiques dels transistors. Un altre factor que hi intervé, és la capacitat de carrega de sortida. Com més transistors i més circuiteria hi hagi al darrera, més gran serà el corrent de curtcircuit.

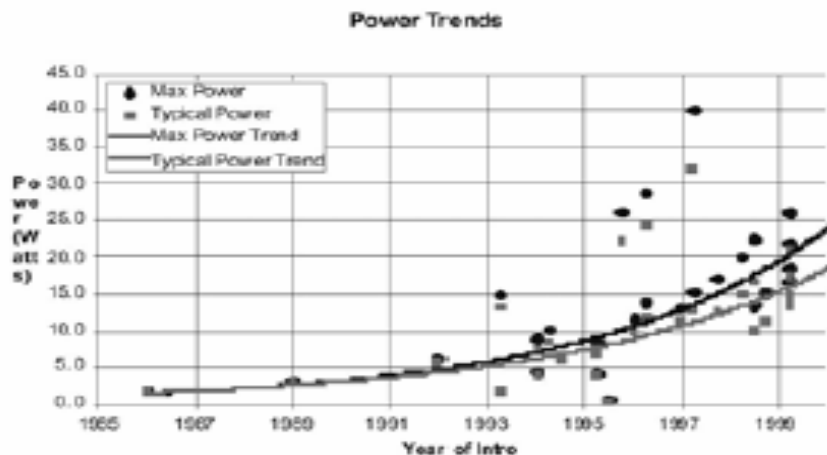


### Resum

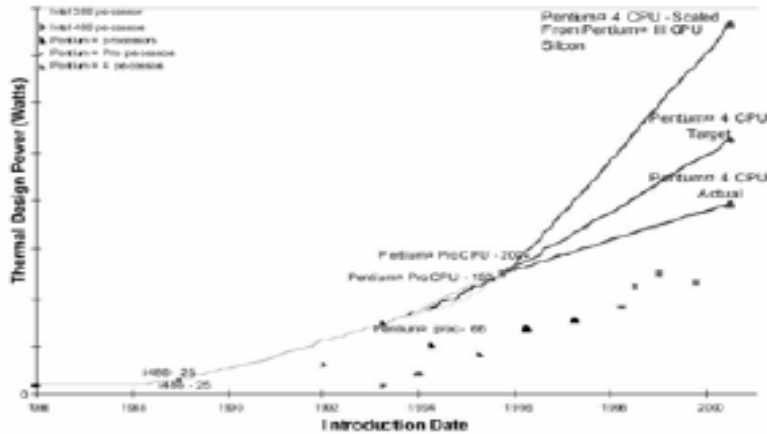
En resum, totes les coses que hi intervenen són



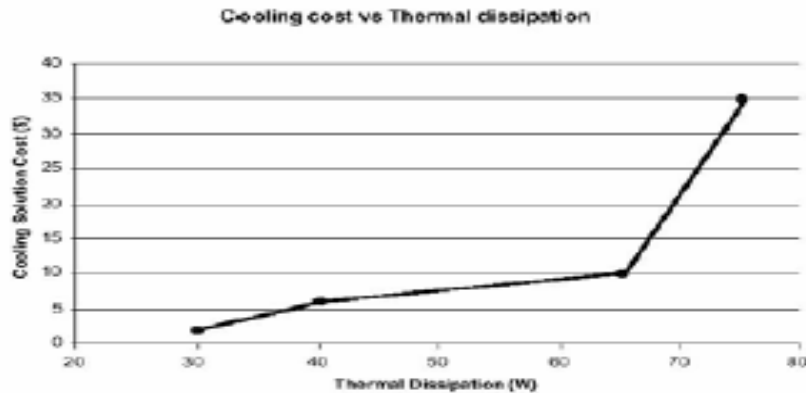
El gràfic de sota, mostra el creixement del consum, aquests últims 20 anys, des de l'any 1980 al 1999



El gràfic de sota, mostra el creixement del consum, concretament al camp de les CPU's de intel



Un altre gràfic que ens pot ajudar a entendre el consum, és el cost de refrigeració que tenen els xips. Un xip fins a 60 W, el cost de refrigeració és més o menys estable. A partir de 60 W, el cost de refrigeració es dispara



## Estratègies de disseny

Els dissenyadors tenen software per minimitzar l'àrea i maximitzar la velocitat, en canvi no tenen software per minimitzar el consum.

Per la falta d'eines de disseny per el baix consum, interessa saber si les eines que s'utilitzen per generar l'àrea i els anàlisis de temps, són útils també en el disseny de baix consum. Com que no hi ha cap relació entre l'àrea i el consum, s'analitza la relació entre la freqüència màxima de l'operació i el consum. Aquesta relació va ser creada per investigadors i fabricants de ICs. Per exemple, Xilinx recomana redisenyar els circuits fent-los més ràpids, per disminuir el consum. Quan s'optimitzen els paràmetres als que depèn la velocitat, com el fan-out, la quantitat de CLB's o la profunditat de la lògica, s'optimitza el consum del circuit.

També hi ha el problema que cada cop els xips són més potents, per tant hi ha més transistors i van a més velocitat, per tant el consum d'energia es veu dràsticament amplificat. El que s'intenta fer es treballar a menys freqüència i posar els menys transistors possibles.

L'optimització de la velocitat, es pot atacar per diferents nivells, quan es dissenya. A nivell de topologia, es pot fer de varies alternatives funcionalment equivalents. Es poden aplicar modificacions arquitectòniques com el paral·lelisme o segmentació. També es pot modificar el circuit a nivell físic.

A altes freqüències sobre 1 GHz es redueix el voltatge, per reduir el consum. Per fer front als conflictes de baix consum i requeriments, la lògica dinàmica, el clock, els flip-flops i altres circuits, són essencials per fer dissenys a amb gran rendiment i a baix consum. Adaptar el voltatge ajuda a trobar un baix consum, encara que s'ha de compensar el rendiment degut el voltatge baixat. Baixar el voltatge causarà un augment dràstic de les fugues. Per tant, les noves tècniques de baix consum, han de ser robustes per aconseguir els objectius dels requeriments

El consum d'energia i la fiabilitat dels dispositius, s'ha d'incrementar la preocupació per circuits molt integrats, el voltatge ha de ser constantment per sota 1 V per aplicacions portàtils. Baixar el voltatge causarà un rendiment més baix i l'augment dels corrents de fuga.

Els paràmetres de MOS han estat dissenyats per solucionar els problemes causats per el voltatge per sota 1 V, encara que esta limitat.

La lògica dinàmica, és àmpliament utilitzada per dissenys recents que treballen al màxim rendiment, degut a les seves avantatges sobre la lògica CMOS, estàtica en la velocitat i l'àrea del xip. És complicat trobar el disseny més eficaç, perquè amb un disseny es pot trobar un alt rendiment i amb un altre un baix consum.

També s'ha de tenir amb compte, que el consum esta limitat, arribarà un moment que no es podrà minimitzar més. A la tecnologia MOS, s'està a prop d'arribar al límit.

## Biografia

<http://www.cse.ucsc.edu/~kang/lowpower.html>

<http://www.iberchip.org>

[http://www-lsi.die.upm.es/lsi/Members/marisa/teaching/consumo\\_bw.pdf](http://www-lsi.die.upm.es/lsi/Members/marisa/teaching/consumo_bw.pdf)

<http://www.caip.rutgers.edu/~bushnell/analoglowpow/>